

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-101068
(43)Date of publication of application : 04.04.2003

(51)Int.Cl. H01L 33/00
// H01L 21/306

(21)Application number : 2001-290634 (71)Applicant : SANYO ELECTRIC CO LTD
(22)Date of filing : 25.09.2001 (72)Inventor : HATA MASAYUKI

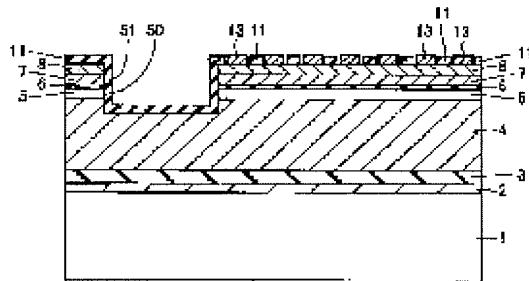
(71)Applicant : SANYO ELECTRIC C
(72)Inventor : HATA MASAYUKI
NOMURA YASUHIKO
TOMITA OSAMU

(54) METHOD FOR FORMING NITRIDE-BASED SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a forming method of a nitride-based semiconductor device, by which the adhesion is improved between an electrode layer and a nitride-based semiconductor layer, and a reliable nitride-based semiconductor device can be formed.

SOLUTION: The forming method of the nitride-based semiconductor device comprises a process for forming a p-type contact layer 8, a process for heat-treating the p-type contact layer 8, and a process for forming a p-side electrode 13 on the p-type contact layer 8 thereafter.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-101068

(P2003-101068A)

(43)公開日 平成15年4月4日(2003.4.4)

(51)Int.Cl.⁷
H 01 L 33/00
// H 01 L 21/306

識別記号

F I
H 01 L 33/00
21/306

テマコト^{*}(参考)
C 5 F 0 4 1
D 5 F 0 4 3

審査請求 有 請求項の数15 O.L (全 12 頁)

(21)出願番号 特願2001-290634(P2001-290634)

(22)出願日 平成13年9月25日(2001.9.25)

(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 畑 雅幸
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72)発明者 野村 康彦
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74)代理人 100104433
弁理士 宮園 博一

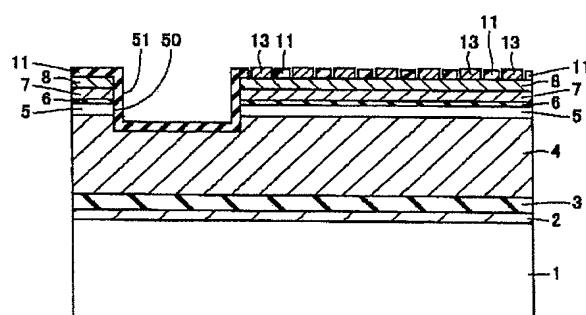
最終頁に続く

(54)【発明の名称】 売化物系半導体素子の形成方法

(57)【要約】

【課題】電極層と塗化物系半導体層との密着性が向上された、信頼性の高い塗化物系半導体素子を形成することが可能な塗化物系半導体素子の形成方法を提供する。

【解決手段】この塗化物系半導体素子の形成方法は、p型コンタクト層8を形成する工程と、p型コンタクト層8を熱処理する工程と、その後、p型コンタクト層8上にp側電極13を形成する工程とを備えている。



【特許請求の範囲】

【請求項1】 壕化物系半導体層を形成する工程と、前記塩化物系半導体層を熱処理する工程と、その後、前記塩化物系半導体層上に電極層を形成する工程とを備えた、塩化物系半導体素子の形成方法。

【請求項2】 前記熱処理する工程は、前記熱処理によって、前記塩化物系半導体層の表面の水分を実質的に除去する工程を含む、請求項1に記載の塩化物系半導体素子の形成方法。

【請求項3】 前記熱処理は、酸素および水蒸気を含まない雰囲気中で行う、請求項1または2に記載の塩化物系半導体素子の形成方法。

【請求項4】 前記熱処理は、不活性ガスを含む雰囲気中で行う、請求項3に記載の塩化物系半導体素子の形成方法。

【請求項5】 前記熱処理は、還元性ガスを含む雰囲気中で行う、請求項3に記載の塩化物系半導体素子の形成方法。

【請求項6】 前記還元性ガスは、水素およびアンモニアのいずれかを含む、請求項5に記載の塩化物系半導体素子の形成方法。

【請求項7】 前記熱処理を行う工程に先立って、前記塩化物系半導体層を洗浄する工程をさらに備える、請求項1～6のいずれか1項に記載の塩化物系半導体素子の形成方法。

【請求項8】 前記塩化物系半導体層を洗浄する工程は、水を用いて洗浄する工程を含む、請求項7に記載の塩化物系半導体素子の形成方法。

【請求項9】 前記塩化物系半導体層を洗浄する工程は、酸およびアルカリのうちいずれかを用いて洗浄する工程を含む、請求項7に記載の塩化物系半導体素子の形成方法。

【請求項10】 前記電極層にワイヤーボンディングする工程をさらに備える、請求項1～9のいずれか1項に記載の塩化物系半導体素子の形成方法。

【請求項11】 前記塩化物系半導体層は、p型の塩化物系半導体層を含む、請求項1～10のいずれか1項に記載の塩化物系半導体素子の形成方法。

【請求項12】 前記電極層は、N_i、P_dおよびP_tの少なくともいずれか1つを含む、請求項1～11のいずれか1項に記載の塩化物系半導体素子の形成方法。

【請求項13】 前記塩化物系半導体素子は、発光素子であり、

前記電極層は、透光性電極を含む、請求項1～12のいずれか1項に記載の塩化物系半導体素子の形成方法。

【請求項14】 前記透光性電極は、光を透過する厚みを有する電極層を含む、請求項13に記載の塩化物系半導体素子の形成方法。

【請求項15】 前記透光性電極は、光を透過可能な間隙を有する、請求項13に記載の塩化物系半導体素子の

形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、塩化物系半導体素子の形成方法に関し、特に、塩化物系半導体層上に電極層を備える塩化物系半導体素子の形成方法に関する。

【0002】

【従来の技術】近年、塩化物系半導体(I_n:A_{1-x}G_x:N, 0≤X, 0≤Y, X+Y≤1)を用いた紫外

LED、青色LEDおよび緑色LEDが実用化されている。これらのLEDの基本的な構造としては、透明な絶縁性基板上に、たとえば、n型A_{1-x}G_x:N (0≤Y≤1)からなるn型塩化物系半導体層と、I_n:G_{a-x}N (0<X≤1)からなる活性層と、p型A_{1-x}G_x:N (0≤Z≤1)からなるp型塩化物系半導体層とが順次積層されたダブルヘテロ構造を有する。また、発光観測面となるp型塩化物系半導体層上には、活性層において発光された光を取り出すための透光性の金属からなる電極層が形成されている。上記のような透光性の金属からなる電極層を有する青色LED素子の構造としては、たとえば、特開平9-129929号公報に開示されている。

【0003】上記のような半導体材料からなるLEDなどの素子において、順方向電圧を低下させるためには、半導体材料と電極層との間の良好なオーム接点を得ることが必要である。従来のLEDでは、n型塩化物系半導体層上にTiおよびAlを含む電極層を形成するとともに、p型塩化物系半導体層上にNiおよびAuを含む電極層を形成することによって、良好なオーム接点を得ることが可能であった。

【0004】

【発明が解決しようとする課題】しかしながら、従来、塩化物系半導体層上に電極層を形成する場合、塩化物系半導体層と金属とは合金を形成しにくいため、電極層と塩化物系半導体層との密着性が低下する。このため、製造プロセスの途中で電極層が膜剥がれを起こしやすいという不都合があった。その結果、素子の信頼性を向上させるのが困難であるといった問題点があった。

【0005】この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、信頼性の高い塩化物系半導体素子を形成することが可能な塩化物系半導体素子の形成方法を提供することである。

【0006】この発明のもう1つの目的は、電極層と塩化物系半導体層との密着性を向上することが可能な塩化物系半導体素子の形成方法を提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するため、この発明の一の局面による塩化物系半導体素子の形成方法は、塩化物系半導体層を形成する工程と、塩化物

系半導体層を熱処理する工程と、その後、窒化物系半導体層上に電極層を形成する工程とを備えている。

【0008】この一の局面による窒化物系半導体素子の形成方法では、上記のように、窒化物系半導体層を熱処理することによって、窒化物系半導体層の表面の水分などを除去することができるので、窒化物系半導体層の表面を清浄化することができる。これにより、窒化物系半導体層と電極層との密着性を向上させることができるので、窒化物系半導体層と電極層との間で良好なオーミックコンタクトを得ることができるとともに、製造プロセス途中での電極層の膜剥がれを抑制することができる。その結果、窒化物系半導体素子の信頼性を向上させることができる。

【0009】上記一の局面による窒化物系半導体素子の形成方法において、好ましくは、熱処理する工程は、熱処理によって、窒化物系半導体層の表面の水分を実質的に除去する工程を含む。このように構成すれば、容易に、窒化物系半導体層の表面を清浄化することができる。

【0010】上記一の局面による窒化物系半導体素子の形成方法において、好ましくは、熱処理は、酸素および水蒸気を含まない雰囲気中で行う。このように構成すれば、熱処理雰囲気中に水分になる可能性のある成分が含まれないので、窒化物系半導体層の表面の水分を除去する効果を大きくすることができる。

【0011】上記の熱処理を酸素および水蒸気を含まない雰囲気中で行う窒化物系半導体素子の形成方法において、好ましくは、熱処理は、不活性ガスを含む雰囲気中で行う。このように構成すれば、容易に、窒化物系半導体層の表面の水分を除去する効果を大きくすることができる。

【0012】上記の熱処理を酸素および水蒸気を含まない雰囲気中で行う窒化物系半導体素子の形成方法において、好ましくは、熱処理は、還元性ガスを含む雰囲気中で行う。このように構成すれば、窒化物系半導体層の表面の吸着酸素原子および酸化膜などを除去することができるので、窒化物系半導体層の表面を清浄化することができる。この場合、還元性ガスは、水素およびアンモニアのいずれかを含むのが好ましい。

【0013】上記一の局面による窒化物系半導体素子の形成方法において、好ましくは、熱処理を行う工程に先立って、窒化物系半導体層を洗浄する工程をさらに備える。このように構成すれば、窒化物系半導体層の表面をさらに清浄化することができる。この場合、窒化物系半導体層を洗浄する工程は、水を用いて洗浄する工程を含むようにしてもよい。また、この場合、窒化物系半導体層を洗浄する工程は、酸およびアルカリのうちいずれかを用いて洗浄する工程を含むようにしてもよい。

【0014】上記一の局面による窒化物系半導体素子の形成方法において、好ましくは、電極層にワイヤーボン

ディングする工程をさらに備える。本発明においては、上記のように、窒化物系半導体層と良好な密着性を有するように電極層が形成されているので、電極層にワイヤーボンディングする際の機械的衝撃による電極層の膜剥がれを抑制することができる。

【0015】上記一の局面による窒化物系半導体素子の形成方法において、好ましくは、窒化物系半導体層は、p型の窒化物系半導体層を含む。このように構成すれば、表面が清浄化されたp型の窒化物系半導体層と電極層との密着性を向上させることができるので、オーミックコンタクトの取りにくいp型の窒化物系半導体層と電極層との間で良好なオーミックコンタクトを得ることができる。

【0016】上記一の局面による窒化物系半導体素子の形成方法において、好ましくは、電極層は、N_i、P_dおよびP_tの少なくともいずれか1つを含む。このように構成すれば、窒化物系半導体層と電極層との間で良好なオーミックコンタクトを得ることができる。

【0017】上記一の局面による窒化物系半導体素子の形成方法において、好ましくは、窒化物系半導体素子は、発光素子であり、電極層は、透光性電極を含む。このように構成すれば、透光性電極から、発光層において発光される光を取り出すことができる。また、電極層と窒化物系半導体層との接触面積が小さくなる場合がある透光性電極においても、透光性電極と電極層との密着性が向上されるので、透光性電極の膜剥がれを有効に防止することができる。

【0018】上記の場合、好ましくは、透光性電極は、光を透過する厚みを有する電極層を含む。このように構成すれば、容易に、電極層に透光性を持たせることができる。

【0019】また、上記の場合、好ましくは、透光性電極は、光を透過可能な間隙を有する。このように構成すれば、容易に、電極層に透光性を持たせることができる。

【0020】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0021】(第1実施形態) 図1～図27は、本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図および平面図である。以下、図1～図27を参照して、本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法について説明する。

【0022】まず、図1に示すように、サファイア(0001)面基板1(以下、「サファイア基板1」という)上に、約10nmの膜厚を有するAlGaNからなる低温バッファ層2、約1μmの膜厚を有するアンドープGaNからなる高温バッファ層3、および、約5μmの膜厚を有するSiドープGaNからなるn型コンタク

ト層4を形成する。このn型コンタクト層4は、n型クラッド層を兼用するように形成されている。そして、n型コンタクト層4上に、約5nmの膜厚を有するアンドープGaNからなる6つの障壁層と、約5nmの膜厚を有するアンドープGaN_{0.95}I_{n0.05}Nからなる5つの井戸層とを交互に積層することによって、多重量子井戸

(MQW) 発光層5を形成する。このMQW発光層5上に、MQW発光層5の結晶劣化を防止するための約10nmの膜厚を有するアンドープGaNからなる保護層6を形成する。

【0023】次に、保護層6上に、約0.15μmの膜厚を有するMgドープAl_{0.05}GaN_{0.95}Nからなるp型クラッド層7、および、約0.3μmの膜厚を有するMgドープGaNからなるp型コンタクト層8を順次形成する。このp型コンタクト層8は、キャリア濃度が、約 $1 \times 10^{18} \text{ cm}^{-3}$ になるように形成する。なお、p型コンタクト層8は、本発明の「窒化物系半導体層」の一例である。

【0024】そして、p型コンタクト層8の表面を、約100℃に加熱した状態で、H₂SO₄ : H₂O₂ = 3 : 1の組成を有する洗浄液を用いて洗浄した後、室温で、HF : H₂O = 1 : 5の組成を有する洗浄液を用いて洗浄する。その後、室温で、p型コンタクト層8の表面に窒素を吹き付けることによって乾燥する。

【0025】次に、図2に示すように、基板温度を150℃に保持した状態で、EB(Electron Beam)加熱または抵抗加熱などの方法を用いて、洗浄されたp型コンタクト層8上に、約700nmの膜厚を有するN_i膜9aを蒸着する。

【0026】その後、N_i膜9a上の全面にレジスト膜(図示せず)を塗布した後、約105℃でプリベークする。そして、そのレジスト膜をパターニングすることによって、N_i膜9a上の所定領域に、図3に示されるようなレジスト10を形成する。そして、パターニングされたレジスト10を約120℃でポストベークする。その後、そのレジスト10をマスクとして、基板温度を約50℃に保持した状態で、H₂SO₄ : H₃PO₄ : H₂O₂ : H₂O = 3 : 3 : 3 : 10の組成を有するエッティング液を用いて、N_i膜9aをウェットエッティングすることによって、図4に示されるような、パターニングされたN_i膜9を形成する。その後、約110℃、約30秒の条件下で、アルカリ系リムーバを用いて、レジスト10を除去することによって、図5に示されるような形状が得られる。

【0027】次に、図6に示すように、N_i膜9をマスクとして、エッティングガス：Cl₂、温度：室温、および、圧力：約 $1 \times 10^4 \text{ Pa}$ の条件下で、p型コンタクト層8、p型クラッド層7、保護層6、MQW発光層5およびn型コンタクト層4の一部領域をドライエッティングにより除去することにより、n型コンタクト層4が露

出された凹部50が形成される。その後、N_i膜9を除去することにより、図7および図8に示されるような形状が得られる。図7の平面図の100-100線に沿った断面が図8に示されている。

【0028】その後、p型コンタクト層8の表面と、凹部50の側面および底面とを、H₂SO₄ : H₂O₂ = 3 : 1の組成を有する溶液と、HF : H₂O = 1 : 5の組成を有する溶液とを用いて洗浄した後、純水を用いて洗浄する。その後、約350℃の窒素中で、約1時間の熱処理を行うことによって、素子の表面を乾燥させる。これにより、実質的に素子の表面の水分が除去されるため、後の工程で、清浄化された素子の表面にSiO₂保護膜11(図9参照)を形成する際に、素子の表面とSiO₂保護膜11との密着性を向上させることができる。

【0029】次に、図9に示すように、基板温度を約250℃に保持した状態で、EB加熱を用いて、p型コンタクト層8の表面と、凹部50の側面および底面とを覆うように、約200nmの膜厚を有するSiO₂保護膜11を形成する。このSiO₂保護膜11は、SiO₂保護膜11下の凹部50の形状を反映した凹部51を有するよう

に形成されている。

【0030】その後、SiO₂保護膜11上の全面にレジスト膜(図示せず)を塗布した後、約170℃でプリベークする。そして、そのレジスト膜をパターニングすることによって、図10に示すように、格子状のレジスト12を形成する。そのレジスト12をマスクとして、基板温度を約30℃に保持した状態で、HF : NH₄F = 1 : 20の組成を有するエッティング液を用いて、SiO₂保護膜11をウェットエッティングによりオーバーエッティングすることによって、図11に示されるような、格子状にパターニングされたSiO₂保護膜11を形成する。この場合、SiO₂保護膜11は、オーバーエッティングされたため、SiO₂保護膜11の幅は、レジスト12の幅よりも小さくなる。

【0031】その後、この第1実施形態では、ウェットエッティングにより露出されたp型コンタクト層8の表面を純水で洗浄する。そして、約170℃の窒素中で、約1時間の熱処理を行うことによって、素子の表面を乾燥させる。これにより、実質的に素子の表面の水分が除去されるため、露出されたp型コンタクト層8の表面が清浄化される。

【0032】次に、図12に示すように、基板温度を室温にした状態で、EB加熱または抵抗加熱などの方法を用いて、約30nmの膜厚を有する下層のPd膜と、約200nmの膜厚を有する上層のAu膜とからなる金属膜13aを形成する。その後、レジスト12およびレジスト12上の金属膜13aをリフトオフにより除去する。このリフトオフは、アルカリ系リムーバを用いて、約120℃、約7分～約8分の条件下で行う。これにより、図13および図14に示されるような、約30nm

の膜厚を有するPd膜と、約200nmの膜厚を有するAu膜とからなる格子状のp側電極13が形成される。なお、図13の平面図の200-200線に沿った断面が図14に示されている。このp側電極13は、約4μmの幅と、約13μmのピッチとを有するように形成されており、約52%の開口率を有するように形成されている。なお、p側電極13は、本発明の「電極層」の一例である。

【0033】その後、全面にレジスト膜（図示せず）を塗布した後、約170°Cでそのレジスト膜をプリベークする。そして、そのレジスト膜をパターニングすることによって、図15に示されるようなレジスト14を形成する。そのレジスト14をマスクとして、基板温度を約30°Cに保持した状態で、HF:NH₄F=1:20の組成を有するエッチング液を用いて、SiO₂保護膜11をウェットエッチングによりオーバーエッチングすることによって、図16に示されるように、n型コンタクト層4（凹部50の底部）の一部領域が露出される。

【0034】次に、ウェットエッチングにより露出されたn型コンタクト層4の表面を純水で洗浄する。その後、約170°Cの窒素中で、約1時間の熱処理を行うことによって、素子の表面を乾燥させる。これにより、n型コンタクト層4の表面の水分が実質的に除去される。

【0035】その後、基板温度を室温にした状態で、EB加熱または抵抗加熱などの方法を用いて、水分が除去されたn型コンタクト層4上およびレジスト14上に、図17に示すように、下から、約1%のSiを含む約5nmの膜厚を有するAl膜と、約30nm～約50nmの膜厚を有するZn膜と、約10%のZnを含む約50nm～約100nmの膜厚を有するAu膜とからなる金属膜15aを形成する。そして、レジスト14とレジスト14上の金属膜15aとをリフトオフにより除去する。このリフトオフは、アルカリ系リムーバーを用いて、約120°C、約7分～約8分の条件下で行う。これにより、図18および図19に示されるような、約1%のSiを含む約5nmの膜厚を有するAl膜と、約30nm～約50nmの膜厚を有するZn膜と、約10%のZnを含む約50nm～約100nmの膜厚を有するAu膜とからなるn側電極15が、凹部50の底部のn型コンタクト層4と接触するように形成される。なお、図18の平面図の300-300線に沿った断面が図19に示されている。

【0036】次に、p側パッド電極およびn側パッド電極の形成方法について説明する。図20～図22には、図18に示した窒化物系半導体素子(LED)の300-300線に沿った断面が示されており、図23～図25には、図18に示した窒化物系半導体素子(LED)の400-400線に沿った断面が示されている。なお、図20および図23の工程は同時に行われ、図21および図24の工程は同時に行われる。まず、図20～

図22を参照して、n側パッド電極の形成方法について、詳細に説明する。

【0037】まず、全面にレジスト膜（図示せず）を塗布した後、そのレジスト膜を約170°Cでプリベークする。このレジスト膜のプリベーク（熱処理）は、p側電極13およびn側電極15の熱処理を兼ねている。その後、そのレジスト膜をパターニングすることによって、図20に示すようなレジスト16を形成する。このレジスト16のパターニングの際に、オーバー露光およびオーバー現像を行うことによって、レジスト16のパターニングされた側面は、垂直ではなく所定の角度傾斜した形状になる。その後、基板温度を室温にした状態で、EB加熱または抵抗加熱などの方法を用いて、SiO₂保護膜11上、n側電極15上およびレジスト16上に、図21に示すように、約100nmの膜厚を有する下層のNi膜と、約800nmの膜厚を有する上層のAu膜とからなる金属膜17aを形成する。そして、レジスト16およびレジスト16上の金属膜17aをリフトオフにより除去する。このリフトオフは、アルカリ系リムーバーを用いて、約120°Cで、約7分～約8分の条件下で行う。これにより、図22に示すように、約100nmの膜厚を有する下層のNi膜と、約800nmの膜厚を有する上層のAu膜とからなるn側パッド電極17が、n側電極15を覆うように形成される。

【0038】次に、図23～図25を参照して、p側パッド電極の形成方法について、詳細に説明する。

【0039】まず、全面にレジスト膜（図示せず）を塗布した後、そのレジスト膜を約170°Cでプリベークする。このレジスト膜のプリベーク（熱処理）は、p側電極13およびn側電極15の熱処理を兼ねている。その後、レジスト膜をパターニングすることによって、図23に示すようなレジスト18を形成する。このレジスト18のパターニングの際に、オーバー露光およびオーバー現像を行うことによって、レジスト18のパターニングされた側面は、垂直ではなく所定の角度傾斜した形状になる。その後、基板温度を室温にした状態で、EB加熱または抵抗加熱などの方法を用いて、SiO₂保護膜11上、p側電極13上およびレジスト18上に、図24に示すように、約100nmの膜厚を有する下層のNi膜と、約800nmの膜厚を有する上層のAu膜とからなる金属膜19aを形成する。そして、レジスト18およびレジスト18上の金属膜19aをリフトオフにより除去する。このリフトオフは、アルカリ系リムーバーを用いて、約120°Cで、約7分～約8分の条件下で行う。これにより、図25に示すように、約100nmの膜厚を有する下層のNi膜と、約800nmの膜厚を有する上層のAu膜とからなるp側パッド電極19が、p側電極13の一部領域と接触するように形成される。このようにして、第1実施形態の窒化物系半導体素子(LED)が形成される。図26には、この状態における窒

化物系半導体素子（LED）の平面図が示されている。

【0040】次に、図26に示した第1実施形態の窒化物系半導体素子にワイヤーボンディングを行う。具体的には、図27に示すように、n側パッド電極17上に、ワイヤ20をボンディングするとともに、p側パッド電極19上に、ワイヤ21をボンディングする。このようにして、ワイヤーボンディングされた第1実施形態の窒化物系半導体素子（LED）が形成される。

【0041】第1実施形態では、上記のように、p側電極13を形成する前に、p型コンタクト層8の表面を熱処理することによって、p型コンタクト層8の表面の水分などを除去することができるので、p型コンタクト層8の表面を清浄化することができる。これにより、p型コンタクト層8とp側電極13との密着性を向上させることができるので、p型コンタクト層8とp側電極13との間で良好なオーミックコンタクトを得ることができるとともに、製造プロセス途中でのp側電極13の膜剥がれを抑制することができる。その結果、窒化物系半導体素子の信頼性を向上させることができる。

【0042】（第2実施形態）図28～図32は、本発明の第2実施形態による窒化物系半導体素子（LED）の形成方法を説明するための平面図である。この第2実施形態では、第1実施形態の格子状のp側電極13の代わりに、くし状のp側電極を形成した例について説明する。以下、図28～図32を参照して、詳細に説明する。

【0043】まず、図1～図8に示した第1実施形態の形成方法とほぼ同様の形成方法を用いて、図28に示されるような、両端部まで貫通したストライプ状の凹部60を形成する。このようなストライプ状の凹部60は、図3に示した工程において、レジスト10をストライプ状にパターニングすることによって、容易に形成可能である。

【0044】その後、p型コンタクト層8の表面と、凹部60の側面および底面とを、H₂SO₄ : H₂O₂ = 3 : 1の組成を有する溶液と、HF : H₂O = 1 : 5の組成を有する溶液とを用いて洗浄した後、純水を用いて洗浄する。その後、約350°Cの窒素中で、約1時間の熱処理を行うことによって、素子の表面を乾燥させる。これにより、実質的に素子の表面の水分が除去されるため、後の工程で、清浄化された素子の表面にSiO₂保護膜31（図29参照）を形成する際に、素子の表面とSiO₂保護膜31との密着性を向上させることができる。

【0045】次に、基板温度を約250°Cに保持した状態で、EB加熱を用いて、p型コンタクト層8の表面と、凹部60の側面および底面とを覆うように、約200nmの膜厚を有するSiO₂保護膜31（図29参照）を形成する。このSiO₂保護膜31は、SiO₂保護膜31下の凹部60の形状を反映した凹部61を有するように形成される。

【0046】その後、SiO₂保護膜31上に、くし状にパターニングされたレジスト（図示せず）を形成する。そのレジスト（図示せず）をマスクとして、基板温度を約30°Cに保持した状態で、HF : NH₄F = 1 : 2の組成を有するエッティング液を用いて、SiO₂保護膜31をウェットエッティングすることによって、図29に示されるように、p型コンタクト層8の表面の一部領域が露出されるとともに、くし状にパターニングされたSiO₂保護膜31を形成する。

【0047】ここで、第2実施形態では、第1実施形態と同様、ウェットエッティングにより露出されたp型コンタクト層8の表面を純水で洗浄した後、約170°Cの窒素中で、約1時間の熱処理を行うことによって、素子の表面を乾燥させる。この熱処理により、実質的に素子の表面の水分が除去されるため、露出されたp型コンタクト層8の表面が清浄化される。

【0048】次に、基板温度を室温にした状態で、EB加熱または抵抗加熱などの方法を用いて、約30nmの膜厚を有する下層のPd膜と、約200nmの膜厚を有する上層のAu膜とからなる金属膜（図示せず）を形成した後、リフトオフ法を用いて、図30に示されるような、約30nmの膜厚を有する下層のPd膜と、約200nmの膜厚を有する上層のAu膜とからなるくし状のp側電極32を形成する。このp側電極32は、約4μmの幅と、約8μmのピッチとを有するように形成されているとともに、約53%の開口率を有するように形成されている。なお、p側電極32は、本発明の「電極層」の一例である。

【0049】その後、図15～図19に示した第1実施形態の形成方法と同様の形成方法を用いて、図30に示すように、約1%のSiを含む約5nmの膜厚を有するAl膜と、約30nm～約50nmの膜厚を有するZn膜と、約10%のZnを含む約50nm～約100nmの膜厚を有するAu膜とからなるn側電極33を形成する。

【0050】次に、図20～図25に示した第1実施形態の形成方法と同様の形成方法を用いて、図31に示すように、約100nmの膜厚を有する下層のNi膜と、約800nmの膜厚を有する上層のAu膜とからなるn側パッド電極34と、約100nmの膜厚を有する下層のNi膜と、約800nmの膜厚を有する上層のAu膜とからなるp側パッド電極35とを形成する。このようにして、図31に示されるような、第2実施形態の窒化物系半導体素子（LED）が形成される。

【0051】次に、図32に示すように、n側パッド電極34上に、ワイヤ36をボンディングするとともに、p側パッド電極35上に、ワイヤ37をボンディングする。このようにして、ワイヤーボンディングされた第2実施形態の窒化物系半導体素子（LED）が形成される。

【0052】第2実施形態では、第1実施形態と同様、p側電極32を形成する前に、p型コンタクト層8の表面を熱処理することによって、p型コンタクト層8の表面の水分などを除去することができるので、p型コンタクト層8の表面を清浄化することができる。これにより、p型コンタクト層8とp側電極32との密着性向上させることができるので、p型コンタクト層8とp側電極32との間で良好なオーミックコンタクトを得ることができるとともに、製造プロセス途中でのp側電極32の膜剥がれを抑制することができる。その結果、窒化物系半導体素子の信頼性を向上させることができる。

【0053】なお、今回開示された実施形態は、すべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内のすべての変更が含まれる。

【0054】たとえば、上記実施形態では、SiO₂保護膜をウェットエッチングによりオーバーエッチングすることによって露出されたp型コンタクト層の表面を純水で洗浄した後、約170°Cの窒素中で、約1時間の熱処理を行うことによって、素子の表面を乾燥させ、その後、p型コンタクト層上にp側電極を形成したが、本発明はこれに限らず、露出されたp型コンタクト層の表面を純水で洗浄した後、EB蒸着装置内の真空中で、約170°Cで、約1時間の熱処理を行うことによって、素子の表面を乾燥させ、その後、p側電極を形成してもよい。このような熱処理によって、p型コンタクト層とp側電極との密着性向上させることができる。

【0055】また、SiO₂保護膜の除去のためのウェットエッチングとその後の水洗の工程とを行わずに、SiO₂保護膜をCF₄ガスをエッチングガスとして用いるプラズマエッチングなどのドライエッチングによりオーバーエッチングし、p側電極を形成してもよい。この場合、SiO₂保護膜の形成前の約350°Cの窒素中の約1時間の熱処理により、すでに実質的に素子の表面の水分が除去されているため、p型コンタクト層とp側電極との密着性向上させることができる。

【0056】また、上記実施形態では、SiO₂保護膜をウェットエッチングすることによって露出されたn型コンタクト層の表面を純水で洗浄した後、約170°Cの窒素中で、約1時間の熱処理を行うことによって、素子の表面を乾燥させ、その後、n型コンタクト層上にn側電極を形成したが、本発明はこれに限らず、露出されたn型コンタクト層の表面を純水で洗浄した後、EB蒸着装置内の真空中で、約170°Cで、約1時間の熱処理を行うことによって、素子の表面を乾燥させ、その後、n側電極を形成してもよい。

【0057】また、SiO₂保護膜の除去のためのウェットエッチングとその後の水洗の工程を行わずに、Si

O₂保護膜をCF₄ガスをエッティングガスとして用いるプラズマエッティングなどのドライエッティングによりオーバーエッティングし、n側電極を形成してもよい。この場合、SiO₂保護膜の形成前の約350°Cの窒素中の約1時間の熱処理により、すでに実質的に素子の表面の水分が除去されているため、n型コンタクト層とn側電極との密着性向上させることができる。

【0058】また、上記実施形態では、格子状およびくし状のp側電極を形成したが、本発明はこれに限らず、光を透過する程度の薄い厚みを有するp側電極を形成してもよい。この場合、たとえば、約20nmの膜厚を有する下層のPd膜と、約40nmの膜厚を有する上層のAu膜とからなる透光性のp側電極を形成するとともに、p側電極の上面の一部領域のみに、約30nmの膜厚を有する下層のTi膜と、約500nmの膜厚を有する上層のAu膜とからなるp側パッド電極を形成してもよい。

【0059】また、上記実施形態では、SiO₂保護膜を形成する前に、素子の表面を、H₂SO₄ : H₂O = 3 : 1の組成を有する溶液と、HF : H₂O = 1 : 5の組成を有する溶液とを用いて洗浄した後、純水を用いて洗浄したが、本発明はこれに限らず、水酸化ナトリウム水溶液、水酸化カリウム水溶液およびアンモニア水溶液などのアルカリや、塩酸、王水、硫酸およびフッ酸などの酸や、上記したアルカリまたは酸に過酸化水素を加えた混合液などを用いて素子の表面を洗浄してもよい。

【0060】また、上記実施形態では、p側電極およびn側電極を形成する前の熱処理を窒素からなる不活性ガス雰囲気中で行ったが、本発明はこれに限らず、窒素以外の不活性ガスを含む雰囲気中、水素およびアンモニアなどの還元性ガスを含む雰囲気中、または、不活性ガス中に還元性ガスを含む雰囲気中で行ってもよい。なお、不活性ガスは、窒素、ヘリウム、ネオン、アルゴン、クリプトンおよびキセノンのいずれかを含むことが好ましい。また、酸素および水蒸気を含まない雰囲気中として、真空中で熱処理を行ってもよい。

【0061】また、上記実施形態では、p側電極を、p型コンタクト層と接触するPd膜と、Pd膜上のAu膜とを用いて形成したが、本発明はこれに限らず、p型コンタクト層と接触するPd膜の代わりに、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、ロジウム(Rh)、ルテニウム(Ru)、オスミウム(Os)およびイリジウム(Ir)からなるグループより選択される少なくとも1つを含む金属または合金を用いてよい。特に、Ni、PdまたはPtを用いることによって、p側電極とp型コンタクト層との間の好ましいオーミックコンタクトを得ることができる。また、p型コンタクト層と接触するPd膜上のAu膜の代わりに、亜鉛(Zn)、インジウム(In)、スズ(Sn)およびマグネシウム(Mg)からなるグループより選択される少

なくとも1つを含む酸化物を用いてもよい。このような酸化物の例としては、たとえば、 ZnO 、 In_2O_3 、 SnO_2 、 ITO (In と Sn との酸化物) または MgO などが考えられる。

【0062】また、上記実施形態において、窒化物系半導体の結晶構造は、ウルツ鉱型構造であってもよいし、閃亜鉛鉱型構造であってもよい。

【0063】また、上記実施形態において、窒化物系半導体各層の結晶成長は、MOVPE法、HVPE法、または、TMAI、TMGa、TMIn、NH₃、SiH₄およびCp₂Mgなどを原料ガスとして用いるガスソースMBE法などを用いればよい。

【0064】また、上記実施形態では、MgドープGaNからなるp型コンタクト層8を用いたが、本発明はこれに限らず、AlGaN、AlGaInNまたはGaInNや、GaTiNまたはGaInTlNなどのTlを含む窒化物系半導体や、GaAsN、GaInAsN、GaNPまたはGaInNPなどのAsやPを含む窒化物系半導体を用いてもよい。

【0065】また、上記実施形態では、本発明の窒化物系半導体素子の形成方法をLEDに適用した例を示したが、本発明はこれに限らず、半導体レーザ、トランジスタおよび受光素子などの他の窒化物系半導体素子の形成方法にも適用可能である。

【0066】また、上記実施形態では、基板としてサファイア基板を用いたが、本発明はこれに限らず、スピネルなどの絶縁性の基板を用いてもよい。また、SiおよびGaAsなどの半導体基板などの導電性基板を用いてもよい。また、MB₂ (Mは、Al、Ai、Zr、Hf、V、Nb、TaおよびCrなどの金属元素) で表されるホウ素化合物基板 (特に六方晶の(0001)面ホウ素化合物基板が好ましい) を用いてもよい。

【0067】

【発明の効果】以上のように、本発明によれば、電極層と窒化物系半導体層との密着性が向上された、信頼性の高い窒化物系半導体素子を形成することが可能な窒化物系半導体素子の形成方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図2】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図3】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図4】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図5】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図6】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図7】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【図8】図7に示した工程における100-100線に沿った断面図である。

【図9】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図10】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図11】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図12】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図13】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【図14】図13に示した工程における200-200線に沿った断面図である。

【図15】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図16】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図17】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図18】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【図19】図18に示した工程における300-300線に沿った断面図である。

【図20】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図21】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図22】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

る。

【図23】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図24】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図25】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための断面図である。

【図26】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【図27】本発明の第1実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【図28】本発明の第2実施形態による窒化物系半導体*

*素子(LED)の形成方法を説明するための平面図である。

【図29】本発明の第2実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【図30】本発明の第2実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【図31】本発明の第2実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

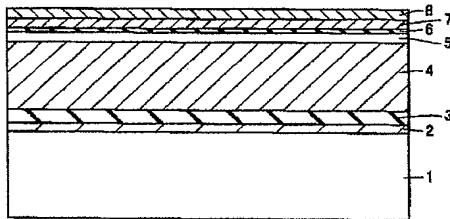
【図32】本発明の第2実施形態による窒化物系半導体素子(LED)の形成方法を説明するための平面図である。

【符号の説明】

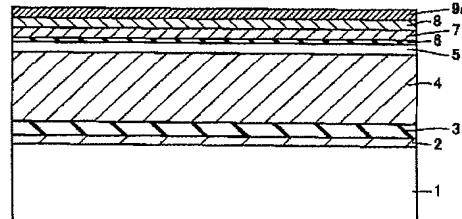
8 p型コンタクト層(窒化物系半導体層)

13、32 p側電極(電極層)

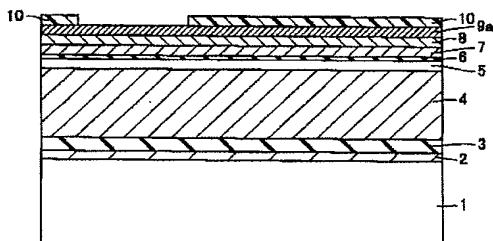
【図1】



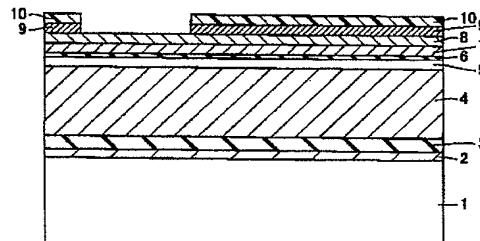
【図2】



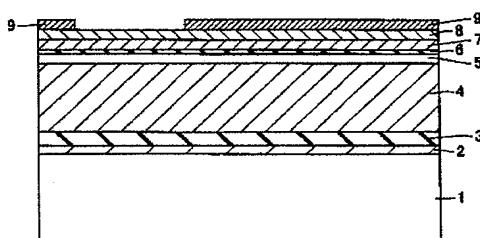
【図3】



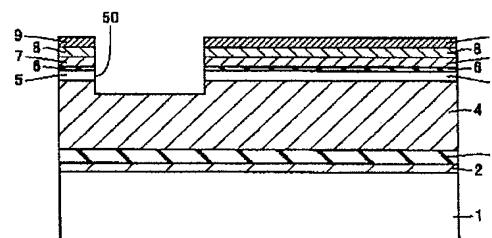
【図4】



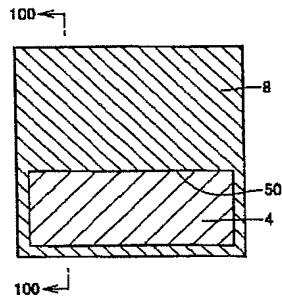
【図5】



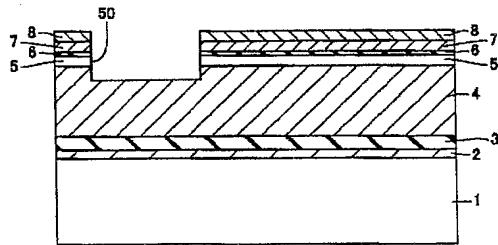
【図6】



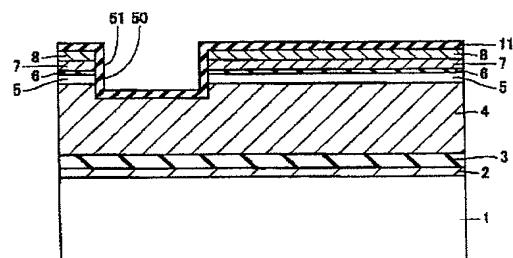
【図7】



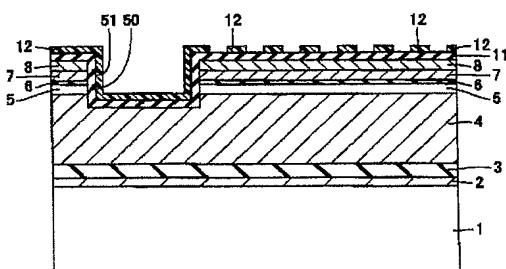
【図8】



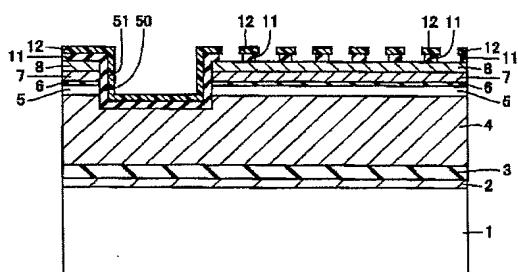
【図9】



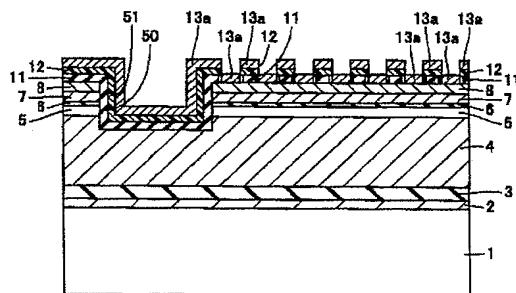
【図10】



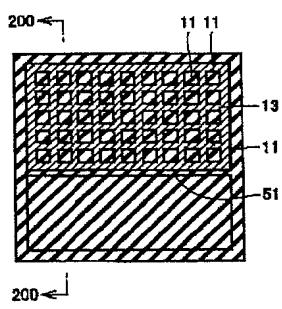
【図11】



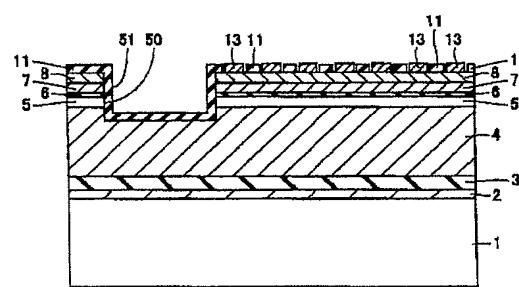
【図12】



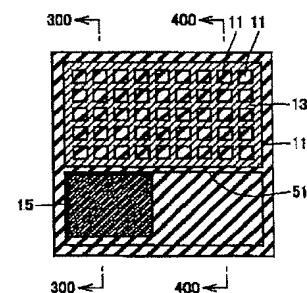
【図13】



【図14】



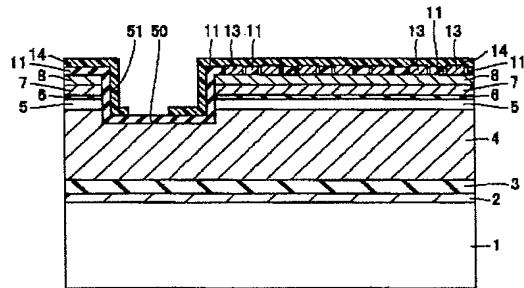
【図18】



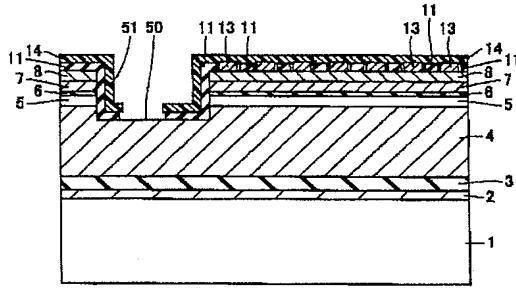
(11)

特開2003-101068

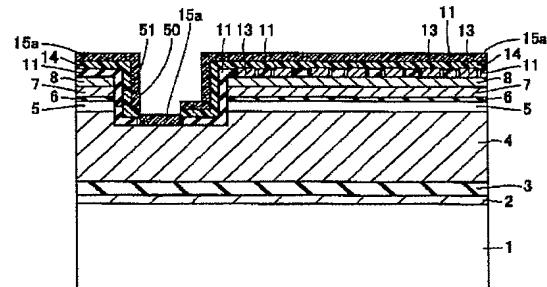
【図15】



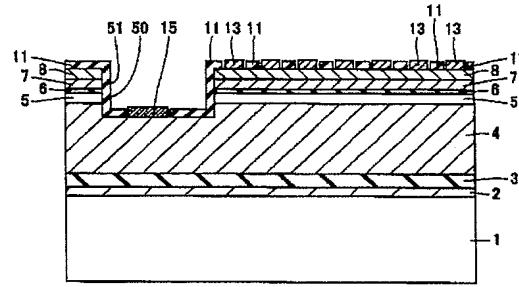
【図16】



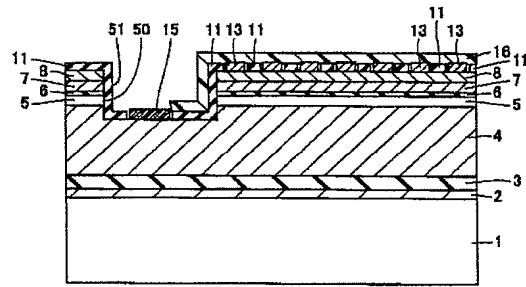
【図17】



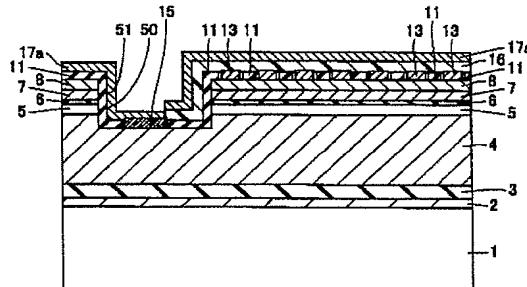
[図19]



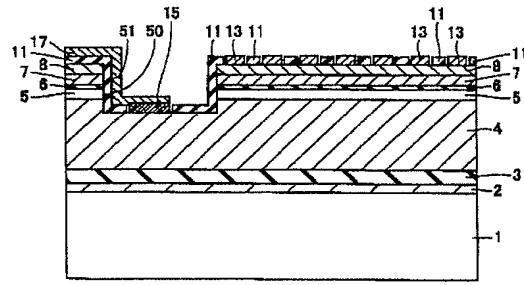
【図20】



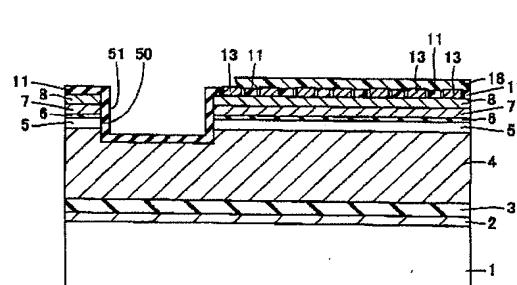
[図21]



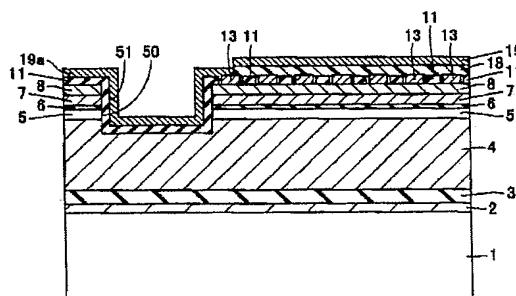
[図22]



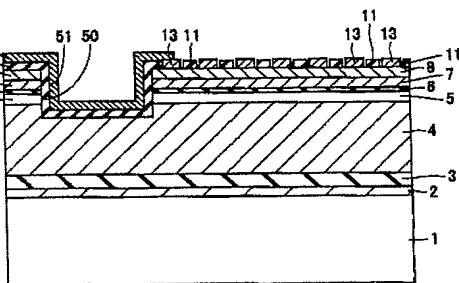
[図23]



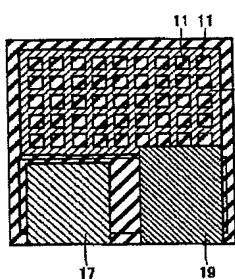
【図24】



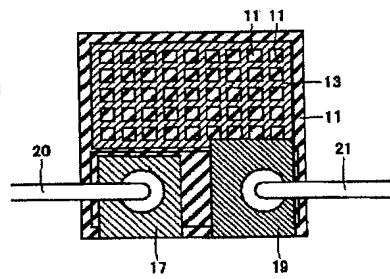
【図25】



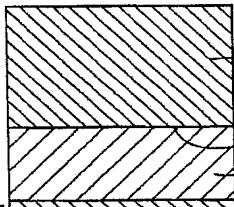
【図26】



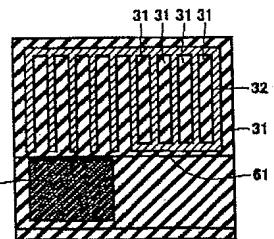
【図27】



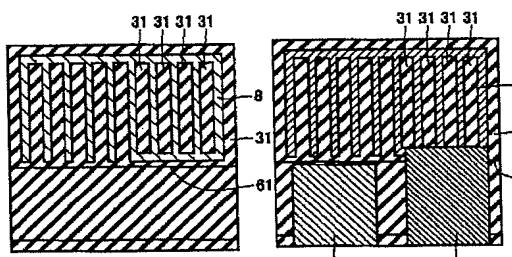
【図28】



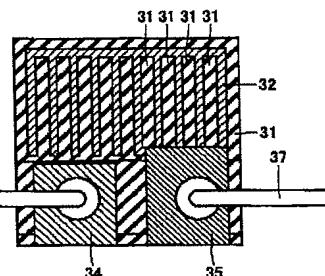
【図30】



【図29】



【図31】



フロントページの続き

(72) 発明者 富田 修
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

F ターム(参考) 5F041 AA43 CA05 CA40 CA46 CA73
CA74 CA98 DA07
5F043 AA31 BB22 BB27 DD02 GG04